

(11)Publication number : 09-160509

(43)Date of publication of application : 20.06.1997

P56937

(51)Int.Cl.

G09F 9/30
G02F 1/133
G02F 1/1333

FILE

(21)Application number : 07-320073

(71)Applicant : NEC CORP

(22)Date of filing : 08.12.1995

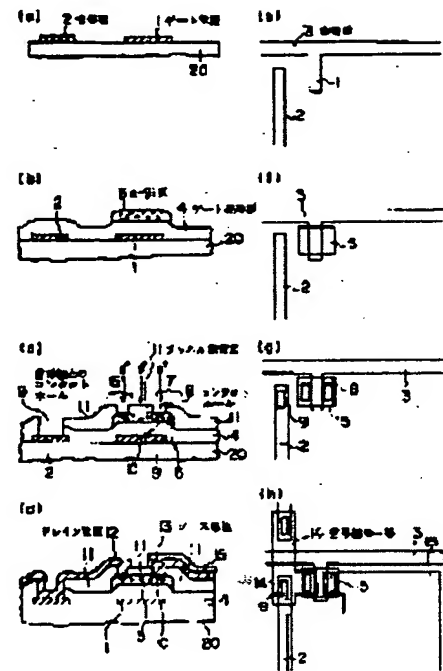
(72)Inventor : SAKAMOTO MICHIAKI

(54) ACTIVE-MATRIX SUBSTRATE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance the yield of an active-matrix substrate by reducing the number of patterning processes.

SOLUTION: A gate electrode 1, a scanning line 3, and part 14 of a signal line 2 are formed on a glass substrate 20 as films continuing to a gate insulating film 4 and an undoped a-Si film 5. Next, a channel protection film 11 is laminated, a contact hole 8 is patterned in a drain 6 and a source 7, and at the same time, contact parts around the extensions of the scanning line 3 and of the signal line 2 and a contact hole 9 with the signal line 2 are formed to form a contact layer 10. Then, a conductive material is deposited and a picture element electrode 15, a source electrode 13 and a drain electrode 12, and a part 14 of the signal line 2 are patterned.



(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平9-160509

(43)公開日 平成9年(1997)6月20日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
G09F 9/30	338		G09F 9/30	338P
G02F 1/133	550		G02F 1/133	550
1/1333	500		1/1333	500

審査請求 有 請求項の数6 OL (全8頁)

(21)出願番号 特願平7-320073

(22)出願日 平成7年(1995)12月8日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 坂本 道昭

東京都港区芝五丁目7番1号 日本電気株式会社内

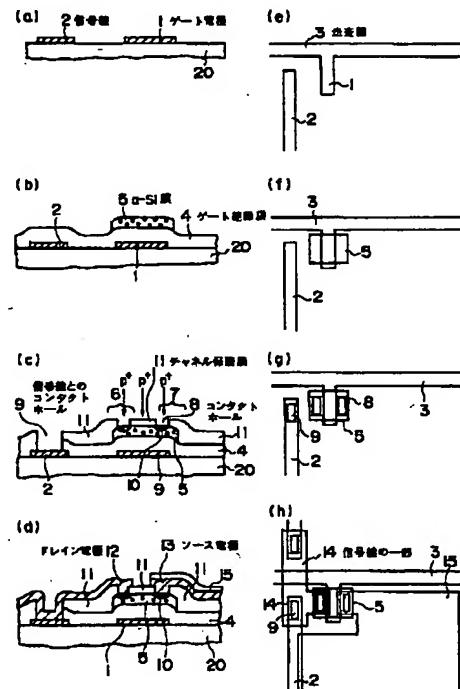
(74)代理人 弁理士 後藤 洋介 (外2名)

(54)【発明の名称】 アクティブマトリクス基板及びその製造方法

(57)【要約】

【課題】 パターニング工程の減少させ、歩留まりを向上させること。

【解決手段】 ガラス基板20上にゲート電極1、走査線3および信号線2の一部14を形成し、ゲート絶縁膜4、ノンドープa-Si膜5に連続的に成膜し、次に、チャンネル保護膜11を積層し、ドレイン6およびソース7にコンタクトホール8をパターニングし、同時に前記走査線3および前記信号線2引出部の周辺コンタクト部および前記信号線2とのコンタクトホール9を形成し、コンタクト層10を形成し、次に導電性材料を堆積し、画素電極15、ソース電極13・ドレイン電極12および前記信号線2の一部14をパターン形成する。



【特許請求の範囲】

【請求項1】 基板上にゲート電極、ゲート絶縁膜、半導体層、ドレイン電極・ソース電極およびチャンネルパッシベーションからなるチャンネル保護型薄膜トランジスタを配列してなる薄膜トランジスタ基板において、信号線が走査線と同層の金属からなる第1の領域と、画素電極と同層の金属からなる第2の領域とから構成され、かつ前記第1及び第2の領域は、前記第1の領域上に設けられているコンタクトホールを介して接続されていることを特徴とするアクティブマトリクス基板。

【請求項2】 前記請求項1記載のアクティブマトリクス基板において、前記走査線と同層で作られる前記信号線部以外の前記信号線が前記画素電極と共通にパターンニングした透光性を有する導電材料であることを特徴とするアクティブマトリクス基板。

【請求項3】 前記請求項2記載のアクティブマトリクス基板において、前記走査線と同層で作られる前記信号線部以外の前記信号線が前記ドレイン電極・ソース電極と共通にパターンニングした金属であることを特徴とするアクティブマトリクス基板。

【請求項4】 透光性を有するな基板上にゲート電極、走査線、信号線の一部を形成する第1の工程と、ゲート絶縁膜およびノンドープ半導体層を連続成長させ、前記半導体層をパターンニングする第2の工程と、チャンネル保護膜を成膜し、ドレイン・ソース部にコンタクトホールを形成する第3の工程と、イオンドーピングによりコンタクト層を形成する第4の工程と、透光性を有する導電膜により画素電極および前記信号線の残りを形成する第5の工程を含むことを特徴とするアクティブマトリクス基板の製造方法。

【請求項5】 請求項4記載のアクティブマトリクス基板の製造方法において、前記第5の工程の代わりに、前記ドレイン電極・ソース電極および前記信号線の残りを金属で形成する工程と、前記透光性を有する導電膜により前記画素電極を形成する工程と、を含むことを特徴とするアクティブマトリクス基板の製造方法。

【請求項6】 請求項4または5記載のアクティブマトリクス基板の製造方法において前記第4の工程においてプラズマドーピングを用いることを特徴とするアクティブマトリクス基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示装置などにおいて用いられる、チャンネル保護型薄膜トランジスタを有するアクティブマトリクス型液晶表示装置およびその製造方法に属する。

【0002】

【従来の技術】 図6は従来のチャンネル保護型薄膜トランジスタを有するアクティブマトリクス液晶表示装置の概念を示している。このアクティブマトリクス液晶表示装

置は図6に示すように、薄膜トランジスタ(TFT)基板119および対向基板120とを有し、これらの間にツイストネマティック(TN)液晶121を挟持する構造を取っている。

【0003】 TFT基板119はガラス基板上にマトリクス上に形成された各画素毎に設けられた透明な画素電極115と、信号線123および走査線122、さらに画素電極115毎に設けられた薄膜トランジスタ124からなる。また、対向基板120は透明な電極125および各画素毎に対応したRGB色層(図6においてR、Gで示した)126および庶光を目的とした遮光層127からなる。

【0004】 図7(a)~図7(h)は従来のチャンネル保護型薄膜トランジスタ(TFT)基板の製造方法を示している。ガラス基板200上にはCr、W、Ta、Alなどの第1金属膜がスパッタ法などを用いて被着されている。これをパターンニングしてゲート電極201を形成する(図7(a))。次にSiNxなどからなるゲート絶縁膜204、ノンドープアモルファスシリコン膜(a-Si膜)205、およびSiNxなどからなるチャンネル保護膜211をプラズマCVD法により連続成長させた後、チャンネル保護膜211をアイランド上にパターンニングする(図7(b))。

【0005】 つぎにチャンネル保護膜211上部よりP+イオンを注入し、これによりドレイン206・ソース207のコンタクト層210を形成する(図7(c))。さらにa-Si膜205をアイランド上にパターンニングする(図7(d))。次にゲート絶縁膜204をパターンニングして第1金属膜からなる周辺コンタクト部217上のゲート絶縁膜204のみを選択的に除去する(図7(e))。次にCr、W、Ta、Alなどからなる第2金属膜をスパッタ法などにより被着、パターンニングして信号線およびソース電極212・ドレイン電極213を形成する(図7(f))。さらに酸化インジウム錫(ITO)などの透明導電膜を被着、パターンニングし、画素電極215を形成する(図7(g))。次にSiNxなどの絶縁膜をプラズマCVDなどで成長させ、画素電極215上などの部分を除去するパターンニングを行って、パッシベーション膜218を形成する(図7(h))。

【0006】 以上のようにチャンネル保護型薄膜トランジスタ基板の形成方法は、パターンニング工程が図7(a)~図7(h)(図7(c)を除く)に対応して7回となる。上記方法ではパターンニング工程が7回と工程数が多く、歩留りが悪く製造コストがかさむ問題を有していた。

【0007】 また、従来の方法では、a-Si膜205層の上方よりイオン注入を行うため、図7(d)に示すようにa-Si膜205層の上部はイオンが打ち込まれコンタクト層210が形成されるが、a-Si膜205層の側面部205aはイオンが打ち込まれないためにコ

ンタクト層 210 が形成されない。

【0008】従って、イオン注入を行った後、コンタクト層 210 上にソース電極 212 およびドレイン電極 213 をパターン形成した場合、図 7 (f) に示した a-Si 205 の側面部 205a に、直接ソース電極 212 及びドレイン電極 213 が接触するため、サイドリーク電流が流れ、TFT のオフ電流が高いという問題を有していた。

【0009】これらの問題を解決するため、特開平 5-95002 号公報により以下に説明する従来技術が開示されている。前記従来例と同様に図 8 (a) ~ 図 8

(h) に示すようにゲート電極 201 上にゲート絶縁膜 204、a-Si 膜 205 を連続形成、パターンニングした後 (図 8 (a)、図 8 (b))、これらの上にチャンネル保護膜 211 を形成し、2箇所コンタクトホール 208 をそれぞれ形成する (図 8 (c))。次にガラス基板 200 の上方から、チャンネル保護膜 211 をマスクとして P+イオンを注入しコンタクト層 210 を形成する (図 8 (d))。この後、前記従来技術と同様に周辺コンタクト部 217、ドレイン電極 213、画素電極 215、パッシベーション膜 218 のパターンニングを行う (図 6 (e) ~ (h))。この場合、ソース 207 およびドレイン電極 213 はコンタクトホール 208 を介してのみコンタクト層 210 と接し、a-Si 膜 205 層と直接接しないのでサイドリーク電流の発生を抑制できる。しかし、この方法ではパターンニング工程は 7 回で前記従来技術とかわらない。

【0010】また、他の従来技術として、特開昭 60-128486 号公報には、信号線を走査線および画素電極形成時に形成し、コンタクトホールを介して接続させる以下の技術が開示されている。図 9 に示すように、まず第 1 金属形成時において、ゲート電極 301、走査線 303 の一部を形成する (図 9 (a))。次にゲート絶縁膜 304、a-Si 膜 305 を成膜し、a-Si 膜 305 をパターンニングする (図 9 (b))。さらにゲート絶縁膜 304 にコンタクトホール 308 を形成した後 (図 9 (c))、走査線の一部 328、信号線 302、ソース電極 312・ドレイン電極 313、および画素電極 315 を透明な導電性材料により形成する (図 9 (d))。最後にパッシベーション膜 318 を形成、パターンニングした後 (図 9 (e))、遮光層 327 を設ける (図 9 (f))。この方法では信号線のパターンニング工程を走査線および画素部のパターンニングと同時に行うことにより前記各従来技術よりパターンニング工程が 1 回減る。

【0011】

【発明が解決しようとする課題】上記、従来型のチャンネル保護型薄膜トランジスタでは、パターンニング工程は 7 回 (6 回) と多く、製造プロセスが複雑化し、歩留まりを劣化させ、コストを上げる問題を有している。

【0012】本発明の課題は、チャンネル保護型薄膜トランジスタプロセスにおいて、パターンニング工程を削減し、製造コストを低減しつつ高い歩留まりで製造することのできるアクティブマトリクス基板及びその製造方法を提供することにある。

【0013】

【課題を解決するための手段】本発明によれば、基板上にゲート電極、ゲート絶縁膜、半導体層、ドレイン電極・ソース電極およびチャンネルパッシベーションからなるチャンネル保護型薄膜トランジスタを配列してなる薄膜トランジスタ基板において、信号線が走査線と同層の金属からなる第 1 の領域と、画素電極と同層の金属からなる第 2 の領域とから構成され、かつ前記第 1 及び第 2 の領域は、前記第 1 の領域上に設けられているコンタクトホールを介して接続されていることを特徴とするアクティブマトリクス基板が得られる。

【0014】また、本発明によれば、透光性を有するな基板上にゲート電極、走査線、信号線の一部を形成する第 1 の工程と、ゲート絶縁膜およびノンドープ半導体層を連続成長させ、前記半導体層をパターンニングする第 2 の工程と、チャンネル保護膜を成膜し、ドレイン・ソース部にコンタクトホールを形成する第 3 の工程と、イオンドーピングによりコンタクト層を形成する第 4 の工程と、透光性を有する導電膜により画素電極および前記信号線の残りを形成する第 5 の工程を含むことを特徴とするアクティブマトリクス基板の製造方法が得られる。

【0015】

【発明の実施の形態】次に、本発明の実施例について図面を参照にして説明する。図 1 は本発明の第 1 の実施の形態例のアクティブマトリクス基板の単位素子図を示している。

【0016】単位素子は薄膜トランジスタのゲート電極 1 を駆動する走査線 3、画素に信号を送る信号線 2、信号線の一部 14、スイッチング素子としての薄膜トランジスタ 24、および画素電極 15 とを有している。画素電極 15 はチャンネル保護膜に空けたコンタクトホール 8 を介して a-Si 膜 (半導体層) 5 とつながっている。また、信号線 2 は走査線 3 と同一層 (第 1 の領域) で形成され、信号線 2 の一部 14 は画素電極 15 と同一層 (第 2 の領域) で形成されて、信号線 2 とのコンタクトホール 9 を介して最下層の信号線 2 とつながっている。

【0017】次に図 2 (a) ~ 図 2 (h) をも参照にして本発明の第 1 の実施の形態例の製造方法について説明する。まず、透明なガラス基板 20 の上に Cr、W、Ta、Al などからなる第 1 金属膜をスパッタ法などにより 1000 Å ~ 3000 Å の厚さに堆積し、フォトリソグラフィ法を用いてパターンニングし、ゲート電極 1、走査線 3 および信号線 2 の一部 14 を形成する (図 2 (a)、図 2 (e))。次に、プラズマ CVD 法などにより SiNx などからなるゲート絶縁膜 4 を 2000 Å

～6000Åの厚さに、ノンドープa-Si膜5を500Å～1000Åの厚さに連続的に成膜し、a-Si膜5層をアイランド状にパターニングする(図2(b)、図2(f))。次にプラズマCVD法などによりSiNxなどからなるチャンネル保護膜11をガラス基板20上に1000Å～3000Å積層し、ドレイン6部およびソース7部分にコンタクトホール8をパターニングし、同時に走査線3および信号線2引出部の周辺コンタクト部および信号線2のコンタクトホール9を形成する(図2(c)、図2(g))。このパターニング工程では2000Å程度のチャンネル保護膜11と4000～6000Å程度のゲート絶縁膜4、すなわち膜厚の異なる絶縁膜をエッチングしなくてはならないので、コンタクトホール8部下のa-Si膜5との選択比が充分とれるような条件を用い、例えばBHFによりウェットエッチングする必要がある。次にチャンネル保護膜11の上部からP+イオンドーピングを行い、コンタクト層10を形成する。次に酸化インジウム錫(ITO)などの透明性導電材料をスパッタして、画素電極15、ソース電極13・ドレイン電極12および信号線の一部14をパターン形成する(図2(d)、図2(h))。以上のようにパターニング工程は4回となる。

【0018】第1の実施の形態例では信号線2の一部14を透明導電性材料を用いているので、信号線2の配線抵抗が大きいことから、パネルの大型化にはさらに改良を要する。以下に説明する第2の実施の形態例ではパネルの大型化に対応するため、信号線2を金属のみで形成している。

【0019】図3は、本発明の第2の実施の形態例のアクティブマトリクス基板の単位素子図を示している。尚、第1の実施の形態例と同じ部分には、同じ符号を符して説明する。単位素子は薄膜トランジスタ24のゲート電極1を駆動する走査線3、画素に信号を送る信号線2、信号線2の一部14、スイッチング素子としての薄膜トランジスタ24、および画素電極15からなる。ソース7およびドレイン6は金属からなり、チャンネル保護膜に空けたコンタクトホール8を介してa-Si膜5とつながっている。画素電極15はソース7、およびドレイン6と同一層にある。また、信号線2は走査線3と同一層で形成されている。信号線2の一部14はドレイン6と同一に形成されて、信号線2とのコンタクトホール9を介して最下層の信号線2とつながっている。

【0020】以下に図4をも参照して、本発明の第2の実施の形態例の製造方法を説明する。第1の実施の形態例と同様にしてガラス基板20の上にゲート電極1、走査線3、信号線2の一部14を形成し(図4(a)、図4(f))、ゲート絶縁膜4、ノンドープのa-Si膜5を連続成膜し、この半導体層をアイランド状にパターニングする(図4(b)、図4(g))。次にチャンネル保護膜11を成膜し、コンタクトホール8および下部の

信号線2とのコンタクトホール9を形成する。(図4(c)、図4(h))。P+イオンドーピングによりコンタクト層10を形成したのち、Cr、W、Ta、Alなどの金属を成膜、パターニングして信号線2の一部14およびソース電極13・ドレイン電極12を形成する(図4(d)、図4(i))。最後にITOなどの透明性導電材料をスパッタし、画素電極15をパターニングする(図4(e)、図4(j))。よってこのパターニング工程は5工程となる。

【0021】次に図5を参照して本発明の第3の実施の形態例を説明する。構造は第1または第2の実施の形態と同じであるが、コンタクト層10を形成するのに、P+イオンドーピングを行うのではなく、チャンネル保護膜11をプラズマCVDで形成後、CVD内でPH3を用いてプラズマドーピングを行う。プラズマドーピング条件は例えば、ガス流量1000sccm、圧力8Pa、パワー100W、温度250度、時間1分となる。これによりイオンドーピング装置を使わずに低コストでコンタクトを形成できる。

【0022】

【発明の効果】以上説明したように、本発明によるアクティブマトリクス基板はゲート、アイランド、コンタクト、画素形成のパターニング工程で形成され、従来技術に比べパターニング工程を減少させることができる。

【0023】よって、本発明のアクティブマトリクス基板及びその製造方法によれば、チャンネル保護型薄膜トランジスタパネルで問題となるプロセス複雑化に伴う歩留まりの劣化やコストの増大を回避でき、特性の優れた製品を高歩留まりで低製造コストで作ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態例の構造を示す平面図である。

【図2】(a)～(d)は本発明の第1の実施の形態例の製造方法を説明するための各工程断面図、(e)～(h)は(a)～(d)のそれぞれに対応する平面図である。

【図3】本発明の第2の実施の形態例の構造を示す平面図である。

【図4】(a)～(e)は本発明の第2の実施の形態例の製造方法を説明するための各工程断面図、(f)～(j)は(a)～(e)に対応する平面図である。

【図5】本発明の第3の実施の形態例の製造方法を説明するための工程断面図である。

【図6】従来のアクティブマトリクス液晶表示装置の構造を示す断面図である。

【図7】(a)～(h)は従来のチャンネル保護型薄膜トランジスタの製造方法を説明するための各工程断面図である。

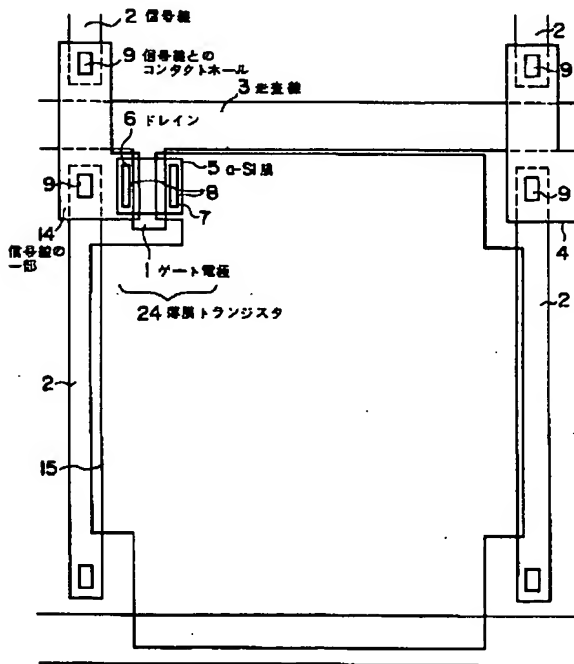
【図8】(a)～(h)は従来技術の別の薄膜トランジスタの製造方法を説明するための各工程断面図である。

【図9】(a)～(f)は従来技術のさらに別の薄膜トランジスタの製造方法を説明するための各工程平面図である。

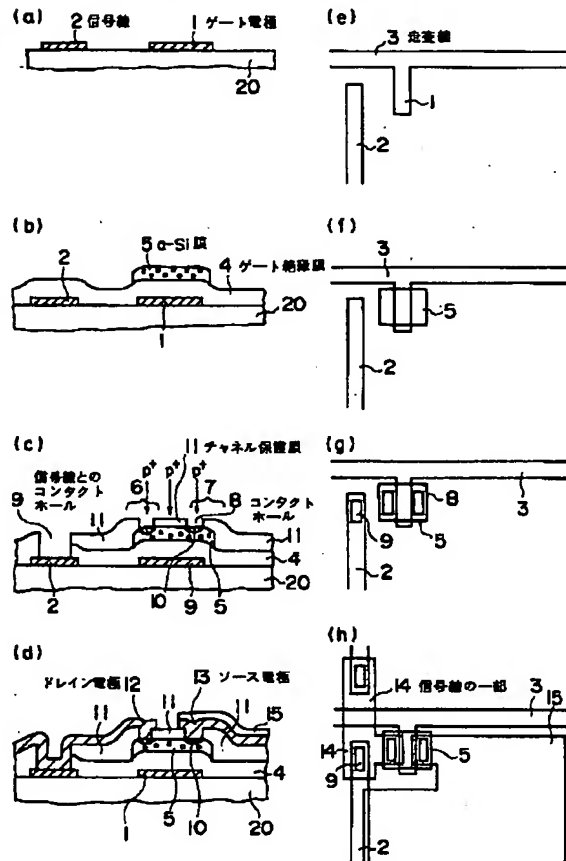
【符号の説明】

- | | | | |
|-------------|---------------|--------------|-----------------|
| 1, 201, 301 | ゲート電極 | 12, 213, 313 | ドレイン電極 |
| 2, 123, 302 | 信号線 | 13, 212, 312 | ソース電極 |
| 3, 122, 303 | 走査線 | 14 | 信号線の一部 |
| 4, 204, 304 | ゲート絶縁膜 | 15, 215, 315 | 画素電極 |
| 5, 205, 305 | a-Si膜 | 20, 200 | ガラス基板 |
| 6, 206 | ドレイン | 24, 124 | 薄膜トランジスタ |
| 7, 207 | ソース | 119 | 薄膜トランジスタ(TFT)基板 |
| 8, 208, 308 | コンタクトホール | 120 | 対向基板 |
| 9 | 信号線とのコンタクトホール | 121 | TN液晶 |
| 10, 210 | コンタクト層 | 126 | RGB色層 |
| 11, 211 | チャネル保護膜 | 127, 327 | 遮光層 |
| | | 205a | a-Si層の側面部 |
| | | 217 | 周辺コンタクト部 |
| | | 218, 318 | パッシベーション膜 |

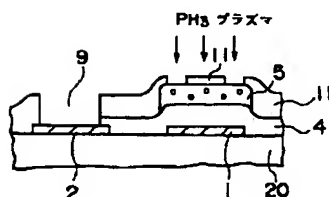
【図1】



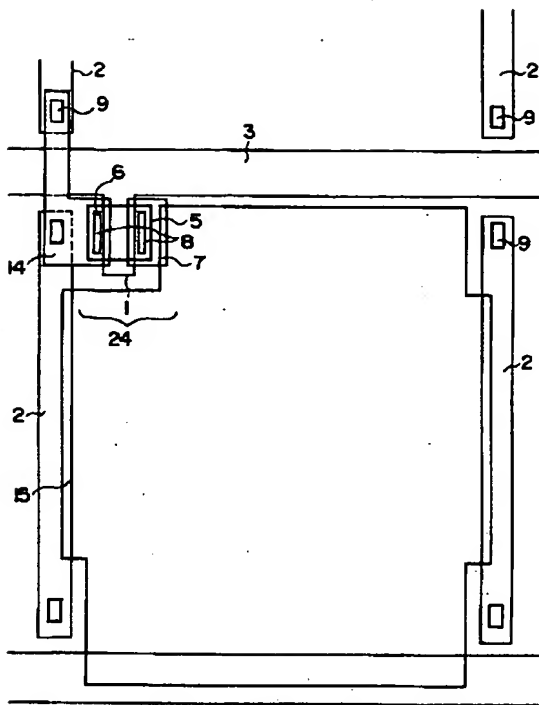
【図2】



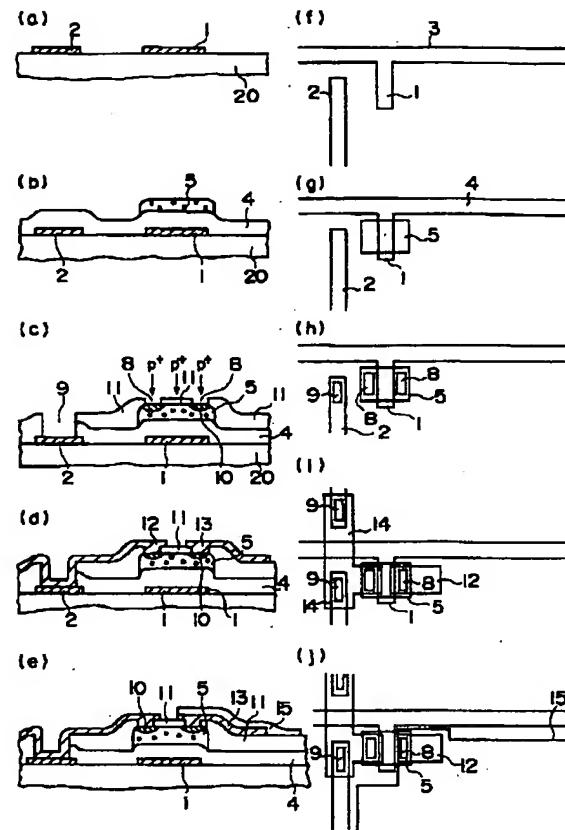
【図5】



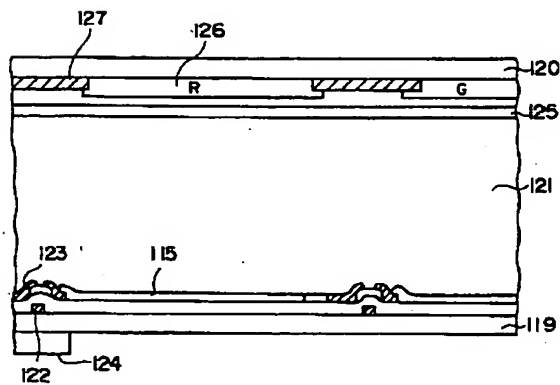
【図3】



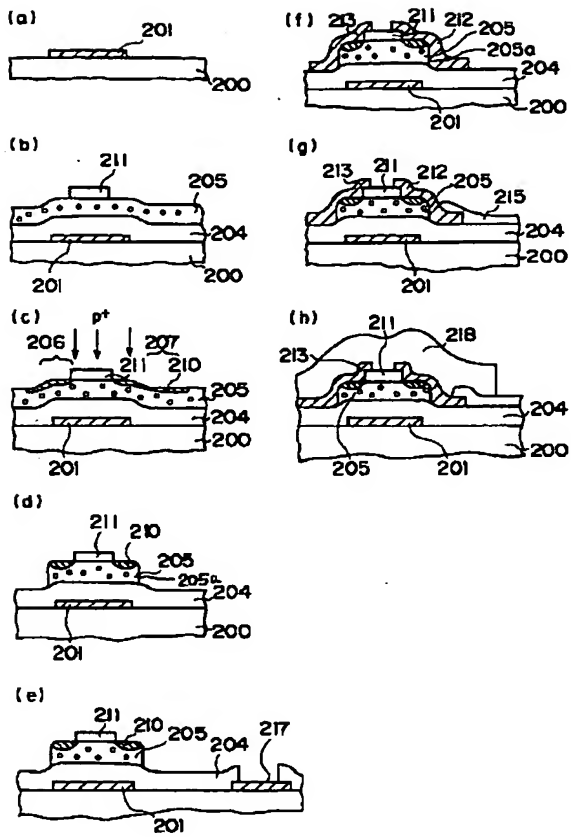
【図4】



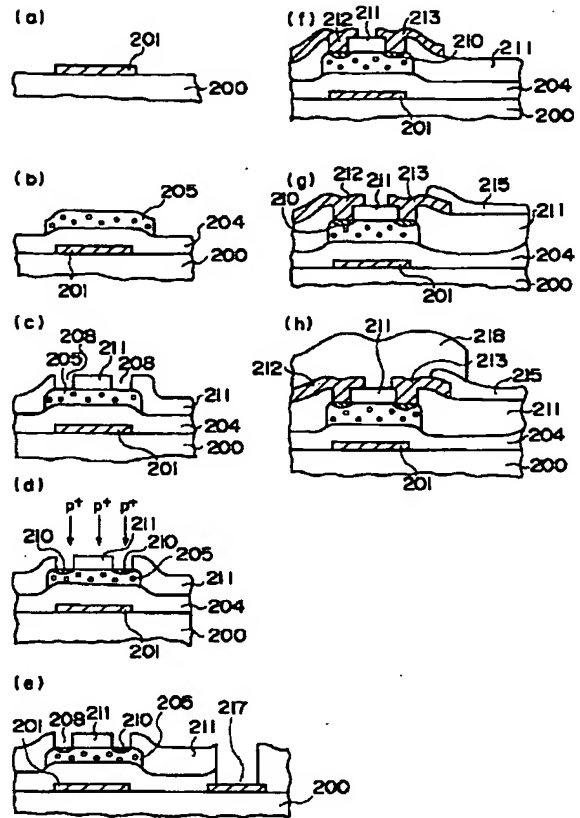
【図6】



【図7】



【図8】



【図9】

